

Family list**8** family members for: **JP1133368**

Derived from 4 applications

- 1 Method of forming metal-strapped polysilicon gate electrode for FET device**
Inventor: ABERNATHEY JOHN ROBERT (US); CRONIN JOHN EDWARD (US); (+1) **Applicant:** IBM (US)
EC: H01L21/225A4F; H01L21/28E2B2P4; (+1) **IPC:** H01L29/78; H01L21/225; H01L21/28 (+8)
Publication info: **DE3871457D D1** - 1992-07-02
- 2 Process for forming a planarized, metal-strapped polysilicon gate FET.**
Inventor: ABERNATHEY JOHN ROBERT; CRONIN JOHN EDWARD; (+1) **Applicant:** IBM (US)
EC: H01L21/225A4F; H01L21/28E2B2P4; (+1) **IPC:** H01L29/78; H01L21/225; H01L21/28 (+8)
Publication info: **EP0303061 A2** - 1989-02-15
EP0303061 A3 - 1989-04-26
EP0303061 B1 - 1992-05-27
- 3 METHOD OF FORMING POLYCRYSTALLINE SILICON GATE FET**
Inventor: JIYON ROBAATO EBEANESHII; JIYON EDOWAADO KUROUNIN; (+1) **Applicant:** IBM
EC: H01L21/225A4F; H01L21/28E2B2P4; (+1) **IPC:** H01L29/78; H01L21/225; H01L21/28 (+9)
Publication info: **JP1133368 A** - 1989-05-25
JP2022618C C - 1996-02-26
JP7060899B B - 1995-06-28
- 4 Method of forming metal-strapped polysilicon gate electrode for FET device**
Inventor: ABERNATHEY JOHN R (US); CRONIN JOHN E (US); (+1) **Applicant:** IBM (US)
EC: H01L21/225A4F; H01L21/28E2B2P4; (+1) **IPC:** H01L29/78; H01L21/225; H01L21/28 (+7)
Publication info: **US4755478 A** - 1988-07-05

Data supplied from the **esp@cenet** database - Worldwide

METHOD OF FORMING POLYCRYSTALLINE SILICON GATE FET

Patent number: JP1133368
Publication date: 1989-05-25
Inventor: JIYON ROBAATO EBANESHII; JIYON EDOWAADO KUROUNIN; JIEROOMU BURETSUTO RASUKII
Applicant: IBM
Classification:
 - international: **H01L29/78; H01L21/225; H01L21/28; H01L21/3205; H01L21/336; H01L23/52; H01L29/66; H01L21/02; H01L23/52; (IPC1-7): H01L21/28; H01L21/88; H01L29/78**
 - european: **H01L21/225A4F; H01L21/28E2B2P4; H01L21/336H1**
Application number: JP19880137585 19880606
Priority number(s): US19870084719 19870813

Also published as:



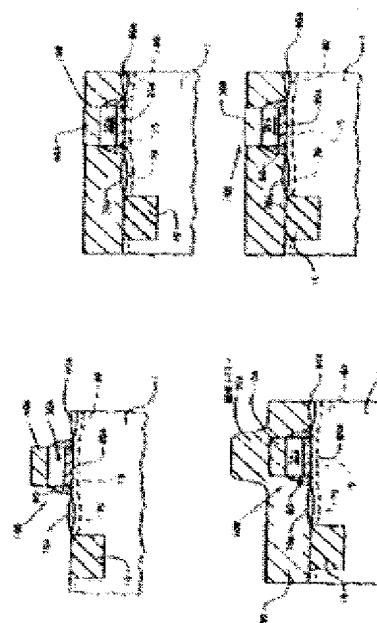
EP0303061 (A)
 US4755478 (A)
 EP0303061 (A)
 EP0303061 (B)

Report a data error he

Abstract of JP1133368

PURPOSE: To decrease the sheet resistivity of a composite electrode significantly by forming an insulation layer substantially as thick as a gate stack, planarizing the insulation layer to expose the upper surface of a gate mask and then removing the mask to expose a polysilicon layer thereby forming a gate electrode.

CONSTITUTION: A dielectric 20, polysilicon 30 and silicon nitride 40 are deposited on the exposed surface of a substrate and then a gate stack 100 is defined by etching using a photomask 50. During the step for removing the photomask 50, exposed part of the oxide layer 20 is also removed to define a gate dielectric 20A. Subsequently, a side wall spacer 60 is formed followed by formation of silicide electrodes 70A, 80A and the substrate is covered with a conformal layer 90 of silicon oxide of substantially same thickness as the gate stack 100. Surface of the conformal layer 90 is then planarized and the part 90A extending upward from the upper surface of the gate stack 100 is removed. Thereafter, the part of polysilicon gate 30A is exposed by removing the silicon nitride and the FET gate electrode is strapped through adhesion of a metal 30B.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-133368

⑬ Int.Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)5月25日
H 01 L 29/78 3 0 1 P-8422-5F
21/28 3 0 1 S-7638-5F
21/88 Q-6708-5F 審査請求 有 請求項の数 1 (全7頁)

⑮ 発明の名称 ポリシリコン・ゲートFETの形成方法

⑯ 特 願 昭63-137585

⑰ 出 願 昭63(1988)6月6日

優先権主張 ⑱ 1987年8月13日 ⑲ 米国(US) ⑳ 084719

㉑ 発 明 者 ジョン・ロバート・エ アメリカ合衆国ヴァーモント州エセックス、ソウミル・ロ
ベアネシイ ド600番地
㉒ 発 明 者 ジョン・エドワード・ アメリカ合衆国ヴァーモント州ミルトン、サンセット・サ
クロウニン ークル・ドライブ、アール・エフ・デイ3番地
㉓ 発 明 者 ジェローム・ブレッツ アメリカ合衆国ヴァーモント州エセックス・ジャンクショ
ト・ラスキイ ン、マリイ・ロード11番地
㉔ 出 願 人 インターナショナル・ アメリカ合衆国10504、ニューヨーク州アーモンク(番地
ビジネス・マシーン なし)
ズ・コーポレーション
㉕ 代 理 人 弁理士 山本 仁朗 外1名

明 細 書

1. 発明の名称 ポリシリコン・ゲートFET
の形成方法

2. 特許請求の範囲

- (a) パターン付けされたポリシリコン層上にゲート・マスクを有するゲート・スタックを半導体基板上に形成し、
- (b) 上記ゲート・スタックに自己整合したソース領域、ドレイン領域およびこれらの領域に対するケイ化物電極を形成し、
- (c) 上記ゲート・スタックの厚さにほぼ等しい厚さを有する絶縁層を上記基板上に付着し、
- (d) 上記ゲート・マスクの上面を露出するように上記絶縁層を平坦化し、
- (e) 上記ゲート・マスクを除去して上記ポリシリコン層を露出させ、
- (f) 露出された上記ポリシリコン層に低抵抗導電材を付着してゲート電極を形成すること、を含むポリシリコン・ゲートFETの形成方法。

3. 発明の詳細な説明

A. 産業上の利用分野

本発明は、電界効果トランジスタ(FET)デバイスのソース電極、ゲート電極、ドレイン電極の面積抵抗率を減少させることに關する。

B. 従来の技術

高密度半導体メモリ・デバイスを製造する際には、多数の記憶セルをただ1本の導線に沿って結合する。この導線(すなわち、ワード線)は、通常、ある記憶セルを構成するデバイスのうち少なくとも1個のデバイスの制御電極を形成する。たとえば、記憶コンデンサと結合されているトランジスタを含むいわゆるワンデバイス式的ランダム・アクセス記憶セルでは、ワード線はトランジスタのゲート電極を形成する。

当技術では、アルミニウムなどの低抵抗導体を用いてワード線の面積抵抗率を減少させることが知られている。1970年代の初期ないし半ばから、これらの材料が当産業界に広く受け入れられてきた。しかし、自己整合式FET(ゲート電極

によって部分的に画定される基板の領域中にソースおよびドレイン不純物領域が注入されている)が開発されて、ポリシリコンなどの耐熱性導体の採用が必要となった。

面積抵抗率を減少させるもう一つの方法は、ポリシリコン・ゲートの上面(すなわち「ストラップ」)に耐火金属ケイ化物を形成させるものである。通常、米国特許第4593454号明細書(1986年6月10日付けでボードラン(Baudrant)等に授与)に示すように、FETデバイスのゲート電極とソース/ドレイン拡散領域上に同時にケイ化物層が形成される。より詳しく言うと、基板上にポリシリコン・ゲート電極を画定した後、イオンを注入してソース/ドレイン領域を画定する。その後、酸化物を付着してエッチングし、ポリシリコン・ゲートの側壁を酸化物で覆う。次いで、耐火金属(上記特許ではタンタルを使用)を基板に付着させ、加熱サイクルを実行してタンタルの露出シリコン上に付着した部分にケイ化タンタルを形成させる。酸化物をポリシリ

コン・ゲート電極の側壁に付着させると、ゲート電極の上面に形成したケイ化物がソース/ドレイン領域に形成されたケイ化物に接続されるのが防止されることに留意されたい。

ボードラン(Baudrant)等の特許明細書に例示されるような、一般的なゲートおよびソース/ドレインの同時ケイ化物形成プロセスには、いくつかの欠点がある。半導体業界での最近の傾向は、ソース/ドレイン拡散領域の深さを0.5ミクロン以下まで減少させることである。このいわゆる「浅い接合部」は、FETのチャンネル長さが1ミクロンのバリア以下に減少しているため、突抜け欠陥に対する抵抗力が増す。耐火金属を浅い接合部の上に付着させてその上にケイ化物を形成させる場合、ケイ化物反応中に消費される接合部のシリコンの量がこの浅い接合部領域の特性を大幅に低下させることがある。従来技術では、耐火金属の付着に先立って浅い接合部の表面に余計にシリコンを取り組むことによってこの問題に対処している。たとえば、IBMテクニカル・ディスク

ロージャ・ブルテン(IBM Technical Disclosure Bulletin)、第20巻、第9号、1979年2月、3480~3482頁に所載の「非常に浅い接合部構造用の制御されたオーム接点およびプレーナ化(Controlled Ohmic Contact and Planarization For Very Shallow Junction)」と題するリーズ(Reith)等の論文に示されているように、ケイ化物形成後の浅い接合部の健全性を維持するために、注入後にエピタキシャル・シリコンを成長させる。このプロセスは、取捨選択を迫る。選択的エピタキシャル成長によりソース/ドレイン領域のシリコン消費量を減らすと、このプロセスにつきものの高温によってソース/ドレイン・ドーパントが基板内にさらに叩き込まれ、したがって所期の浅い接合部の特性が低下する。

米国特許明細書第4587718号(1986年5月13日付けでハーケン(Haken)等に授与)では、ソース/ドレインケイ化物に先立ってゲート電極ケイ化物が形成される。窒化物マスクを使っ

て、デバイスの範囲を完全に覆う酸化物の上面にポリシリコン・ゲートを画定する。次いで、窒化物/ポリシリコン・スタックを注入マスクとして用いて、この酸化物層中への注入により、ソース/ドレイン拡散領域を形成する。それから、窒化物マスクを除去して、耐火金属層を基板上に付着させる。ソース/ドレイン領域は酸化シリコン層で覆われているので、耐火金属層(この場合はタンタル)が露出したポリシリコン・ゲートと反応しても、このソース/ドレイン層の上にケイ化物が形成されない。ゲート電極ケイ化物形成プロセスの完了後、ソース/ドレイン拡散領域の上の酸化物層を除去して、チタンの第2層を基板に付着させる。続くソース/ドレイン・ケイ化物反応の間に、前に形成したケイ化チタン・ゲート電極はその厚みを増す。こうして、ゲート電極上に厚いケイ化チタン層が形成され、ソース/ドレイン領域の上に薄いケイ化チタン層が形成される。

また、米国特許明細書第4453306号(1984年6月12日付けでリンチ(Lynch)等に

授与)をも参照のこと。ゲート電極ケイ化物の形成後、電極の上面を酸化物で被覆する。続いて、ポリシリコンをデバイスに付着させ、ソース／ドレイン領域の上にだけかぶさるようにパターン付けする。次いで、コバルトをデバイスに付着させ、焼成してソース／ドレイン領域上にケイ化コバルト電極を形成させる。ケイ化物ゲート電極の上面の酸化物により、その上にケイ化物がさらに形成されることが防止される。

本発明者等は、ゲート電極の面積抵抗率を耐火金属ケイ化物で得られる値以下に減少させる様々の方法を研究した。ケイ化タングステンは、約 $50\mu\Omega\cdot\text{cm}$ の抵抗率を示す。また、タングステン層は約 $10\mu\Omega\cdot\text{cm}$ の抵抗率を有し、アルミニウム層は $3\mu\Omega\cdot\text{cm}$ 程度の抵抗率を有する。したがって、本発明者等は、ケイ化物ゲート形成ステップの代わりにタングステンまたはアルミニウムの付着を行なうことにより、リンチ(Lynch)等と同様の手法を修正することを考えた。だが、この修正は所期の結果を与えなかった。タングステンをポ

リシリコン層の上面に付着させた場合、これらの層は、後の注入ドライブ・インおよびソース／ドレインケイ化物形成ステップ中に反応して、ケイ化物を生じる。このため、ケイ化タングステンの形成により(純粋なタングステンに比べて)ゲート電極の面積抵抗率が大幅に増加する。同様に、アルミニウム層(またはアルミニウム／シリコンなどのアルミニウム合金)の物理的／電気的性質は、こうした高い処理温度にさらされると大幅に低下する。

ゲート電極上に耐火金属ケイ化物を形成することによりもう一つの潜在的問題が出てくる。CMOS回路には、いわゆる「2重仕事関数」式ゲート電極を利用するものがある。この技術では、pチャンネル・デバイスの特性を向上させるために、nチャンネル・デバイスおよびpチャンネル・デバイス用のポリシリコン・ゲートを、それぞれP型およびN型のドーパントでドーピングする。後でケイ化物を形成させるため、これらの異なる方式でドーピングしたポリシリコン・ゲート電極を耐火金属

層で覆う場合には、ポリシリコン・ドーパントが(耐火金属ケイ化物中でのドーパントの拡散性が高いため)互いに混合して上記の2重仕事関数の利点を破壊することがある。

したがって、当業界では、面積抵抗率の低い金属ストラップ付きポリシリコン・ゲート電極ならびにケイ化物ソース／ドレイン電極を有するFETデバイスを提供する必要が生じている。

C. 発明が解決しようとする問題点

本発明の目的は、面積抵抗率ができるだけ低いFETデバイス用の金属ストラップ付きポリシリコン・ゲート電極を提供することにある。

本発明のもう一つの目的は、FETデバイスのソース／ドレイン領域用の、面積抵抗率が低いケイ化物電極を提供することにある。

本発明のもう一つの目的は、上面が平面状で面積抵抗率が低いFETデバイスを提供することにある。

本発明のさらに別の目的は、FETデバイス用のできるだけ浅いソース／ドレイン領域を提供し、

同時にソース／ドレイン領域用の面積抵抗率が低いケイ化物電極を提供することにある。

本発明のさらに別の目的は、2重仕事関数ドーパントの相互混合を起こさずに、FETのゲート電極の面積抵抗率を最小にすることにある。

D. 問題点を解決するための手段

本発明の上記およびその他の目的は、面積抵抗率の低い金属ストラップ付きポリシリコン・ゲートFETを作成する方法によって実現される。半導体基板の露出面上にゲート・スタックを画定する。ゲート・スタックは、パターン付けされたポリシリコン層上に配置されたゲート・マスクを含んでいる。ゲート・スタックを注入および電極形成用の補助マスクとして用いて、第1および第2のケイ化物電極が上に配置された第1および第2の浅い拡散領域を形成させる。こうして、基板上に絶縁層を付着させる。絶縁層の厚さは、上記ゲート・スタックの厚さにほぼ等しい。上記ゲート・マスクの上面が露出するように、絶縁層を平坦化しゲート・マスクを除去して、絶縁層内にポリシ

リコン層を露出させる開口部を画定する。N型およびP型のドーパントを露出ポリシリコンの特定の領域に導入して、2重仕事関数ゲートを画定し、面積抵抗率の低い導電性材料を基板に付着させて、上記絶縁体層中の開口部を少なくとも部分的に充填して、平坦化した絶縁体層と相対的に同一平面内にある上記FETのゲート電極を形成させる。

E. 実施例

第1図に示すように、基板上にポリシリコンの層30と窒化シリコンの層40を形成させる。基板1は、P⁺型の<100>単結晶シリコン・ウェハであり、その中に分離領域10が形成されている。実際には、P⁺基板上に薄いP⁺型エピタキシャル層を成長させ、エピタキシャル層の特定の部分中にN型ウェルを形成させる。エピタキシャル層とN型ウェルは、図が簡単になるように、示していない。分離領域10は、通常の半埋設式酸化物(S-ROX)分離構造にしてよい。ただし、本発明は、分離領域の幅を厳密に制御しなければならない高密度技術と一緒に利用されるもの

厚さ1000オングストロームの酸化シリコン層である。実際には、適当な誘電特性を有するその他の構造体(たとえば、酸窒化シリコン層、窒化シリコン層、または複数の窒化シリコンと酸化シリコンの層)を使用することもできる。次いで、通常の技法を用いて誘電体層20上に厚さ2000オングストロームのP型多結晶シリコン30を付着させ、やはり通常の技法を用いてポリシリコン層30上に厚さ2500オングストロームの化学的気相成長による窒化シリコン40の層を形成させる。

第2図で、感光性ポリマ(たとえば、ノボラックをベースとするフォトレジスト)を窒化シリコン層40上に被覆し、露光し現像してほぼ垂直な側壁を有するフォトマスク50を画定する。次に窒化シリコン層40およびポリシリコン層30の露出部分を続けて指向性モードでエッチングして、窒化シリコン部分40Aとポリシリコン部分30Aを含むゲート・スタック100を画定する。実際には、窒化シリコン層はCF₄/O₂プラズマに

と企図されている。さらに、後でより詳しく論じる理由から、本発明では、基板の上面と分離領域の上面との間に比較的高度の平面性を保つことが重要である。したがって、基板内に完全に埋設された分離構造を利用するのが好ましい。このような構造の一例は、IEDM技術論文ダイジェスト集(IEDM Digest of Technical Papers)1981年、384頁所載の「VLSI用の新しいパズ・ビークなし分離(A New Bird's Beak Free Isolation for VLSI)」と題するクロサワ等の論文に示されている。この開示を引用により本明細書に組み込む。

次に、分離領域10の形成後、ドーパントを基板内へ単に注入することにより、拡散領域15を形成させる。拡散領域15は、N型ドーパントを注入または拡散することによって形成される。領域15の目的は、あとで形成されるFETデバイスのしきい電圧を制御することである。

拡散領域15を設けた後、基板の露出面上に誘電体層20を形成させる。通常、誘電体層20は、

さらすことによりパターン付けでき、ポリシリコン層はHCl/Cl₂気体プラズマにさらすことによりパターン付けできる。

工程のこの時点で、窒化シリコン部分40Aがポリシリコン・ゲート電極30Aの上でマスキング構造体を画定していることに留意されたい。

第3図で、フォトマスク50の除去後、ポリシリコン部分30Aの露出側面上に側壁スペーサ80を形成させる。側壁スペーサ80は、1つまたは2つの方法を用いて形成できる。第1の方法は、単にポリシリコン部分30Aの露出表面を酸化させるものである。上にある窒化シリコン・マスキング構造体40Aが、このステップ中ポリシリコン部分30Aの上面が酸化されるのを防止していることに留意されたい。好ましい方法は、マスキング構造体全体の上に酸化物層を付着させ、指向性エッチングを施して、基板の水平表面から付着した層を除去する方法である。この除去ステップ中に、下にある酸化物層20の露出部分も除去してゲート誘電体20Aを画定する。

側壁スペース60の形成後、ソース領域70およびドレイン領域80を形成させ、その上にそれぞれケイ化物電極70A、80Aを形成させる。拡散領域およびケイ化物電極は、いくつかの技法のうちの1つを使って形成させることができる。1つの技法は、単にゲート・スタック100を注入マスクとして使ってドーパント・イオンを注入して拡散領域を画定し、基板の上にコバルトやチタンなどの耐火金属を付着させ、構造体を焼成して接合部領域の上に CoSi_2 または TiSi_2 を形成させるものである。窒化シリコン40Aおよび側壁60は耐火金属がポリシリコン30と結合してゲート・ケイ化物を形成するのを防止していることに留意されたい。第1の代案は、まず露出したシリコン領域の上にエピタキシャル・シリコンを成長させてケイ化物反応中に消費されるシリコンの量を減少させ、次いで上記の注入、耐火金属付着、アニールの各ステップを実行するものである。この第1の代案は、浅い接合部が必要なときに採用される。第2の代案は、耐火金属(たと

えば、コバルト)を付着させ、基板を熱処理して(シリコン・リッチなケイ化物の形成には不十分な温度または時間でアニールを行なうことにより)金属リッチなケイ化物を形成させ、金属リッチなケイ化物を除去せずに耐火金属を除去し、金属リッチなケイ化物中にイオンを注入し、基板をアニールしてドーパントを金属リッチなケイ化物中から叩き出して浅いソース/ドレイン接合部領域を画定し、同時に金属リッチなケイ化物をシリコン・リッチなケイ化物に変換する。この第2の代案は、選択的エピタキシャル・シリコンの成長を必要とせず、浅い接合部と両立する点で、より好ましい。どちらの方法を選んでも、鍵となる要因は、ポリシリコン・ゲートの上面にマスク構造が存在する状態で工程を実行することである。すなわち、通常は800℃~1000℃の範囲の温度で行なわれるケイ化物形成ステップとドーパント拡散ステップを、FETのゲート電極が完全に形成される前に実行する。

第4図に示すように、次に、好ましくは二酸化

シリコンの厚い共形層90で基板を被覆する。付着する共形層90の厚さは、ゲート・スタック100の厚さ(すなわち、約4500オングストローム)にほぼ等しいが、これよりもやや薄くするのが好ましい。この厚さの差は、ウェハ表面上での表面形状のばらつきを補償するのに必要である。たとえば、分離領域10は基板1の上面と相対的に同一平面上にくる表面を有するように構成されているものの、実際には、分離領域10の表面が基板1の表面より上に延びることがある。さらに、共形層90の部分90Aがゲート・スタック100の上面より上に延びていることに留意されたい。共形層90とゲート・スタック100の厚さの差は、後述するように研磨によって部分90Aを除去する際に、特に重要である。

第5図に示すように、次に、共形層90の表面をプレーナ化するすなわち平坦化して、ゲート・スタック100の上面より上に延びる部分90Aを除去する。共形層90をプレーナ化する好ましい方法は、ウェハを研磨スラリの存在下で機械的研磨処

理にかけることである。さらに具体的に言うと、カボット(Cabot)社から「カボット(Cabot)SC01」の商品名で市販されているスラリを、8~8psiの圧力に保持されたSuba IV有孔研磨パッドを備えたストラスボー(Strasbaugh)ウェハ研磨具に供給する。この処理を約4分間行なうと、部分90Aを除去しバルク膜90をプレーナ化するのに充分であることが判明している。すなわち、共形層90の部分90Aを除去した後、研磨パッドが残りの共形層の上面に接触する。研磨パッドがバルク共形層の表面に接触するとき、研磨パッドの受ける摩擦力が大幅に増大することが判明している。研磨パッドの受ける力を監視して、研磨処理をこの時点で停止し、あるいはその後離散量の時間だけ継続することができる。したがって、第5図に示すように、窒化シリコン・マスク構造体の上面は共形層90の残りの部分とはほぼ同一平面上にあり、その部分によって露出されている。もう一つのプレーナ化の方法は、共形酸化物層90の表面をフォトリソスト層で被覆し、

基板をエッチャントにさらして、フォトリジストおよび下にある酸化物をほぼ同じ速度で除去させることから成る。フォトリジストは非共形層なので、その平面状の上面が単に酸化物層中で複製される。

次に、第8図に示すように、窒化シリコン・マスキング構造体を除去して下にあるポリシリコン・ゲート30Aの部分を露出させる。実際には、温度165℃にさらすことにより、 H_3PO_4 溶液に二酸化シリコンまたはポリシリコンをあまり侵食せずに、窒化シリコンを除去することができる。

窒化シリコン・マスクの除去後、Nチャンネル・デバイスの上にブロック・マスクを付着させ、露出したパイア内部の露出したポリシリコンにP型不純物を注入する。次いで、第2のブロック・マスク(第1のブロック・マスクの相補形)を画定し、露出したポリシリコンにN型ドーパントを注入する。したがって、ポリシリコンをパターン付けた後、窒化シリコン・マスクを除去してから、2重仕事関数注入を実行する。ポリシリコンのパ

ターン付けより前に注入を行なう場合には、得られるNおよびPドープ・ポリシリコン領域が後で異なる速度でエッチングされてしまう。パターン付けの後に注入を行なう場合は、窒化シリコン・マスクを貫通するのに必要な注入エネルギーが高いため、他の構造体に望ましくないドーピングが施されることがある。

最後に、金属30Bを(必要に応じて)付着させ画定して、FETゲート電極をストラップ化させる。選択性タングステンの金属層30Bを形成するのが好ましい。VLSI用のタングステンその他の耐火金属II(Tungsten and Other Refractory Metals for VLSI II)、(会議要旨集、1986年11月12~14日)、147~155ページ所載の「バリアン/トレックス式冷壁化学的気相成長反応器中での選択的タングステン付着(Selective Tungsten Deposition in a Varian/Torrex Cold Wall CVD Reactor)」と題する、フォスター(Foster)等の論文に論じられている条件下で、タングステンをシリコン上で

だけ成長するように化学的気相成長させることができる。この開示を引用により本明細書に組み込む。すなわち、予め窒化物マスク40Aによって画定された空隙を埋めるように、タングステンを成長させることができる。このような処理では、付着させた金属をエッチングして除去する必要はない。1つの代案は、まず(チタン/タングステンまたは窒化チタンなどの)薄い障壁層を付着させ、次いでアルミニウムなどの金属を付着させる方法である。障壁層は、アルミニウムが下にあるポリシリコン部分30Aに食い込むのを防止する。その後、Ti/W層およびアルミニウム層の共形層90の上にある部分を、通常のフォトリジスト・プレーナ化およびエッチバック技法により除去することができる。

F. 発明の効果

したがって、本発明の方法は、面積抵抗率が低いゲート電極ならびにケイ化物のソース電極とドレイン電極を備えたFETデバイスをもたらす。本発明の方法により、ソース/ドレイン・ドーパ

ント拡散ステップおよびケイ化物形成ステップに関連した熱処理ステップを実行してから初めて、タングステン・ポリシリコン複合ゲート電極のタングステン成分が導入される。したがって、タングステンは(通常、温度約800℃でシリコンとの間でケイ化物を形成するが)、下にあるポリシリコンと反応してケイ化物を生じることがなく、このため、複合ゲート電極の面積抵抗率が大幅に減少する。

本発明のもう一つの利点は、最終構造が、最終ゲート電極と周囲の共形酸化物層の間で平面状になっていることである。したがって、形成したデバイス上に後で不動態化酸化物層を付着させるとき、平面状の上面を形成するのに不動態化層をリフローさせる必要はない。通常、このリフロー・ステップは温度800~1000℃で行なう。したがって、本発明によれば従来のデバイス製造工程で通常行なわれる後の熱処理工程が不要となるため、ケイ化物ゲート生成の危険がさらに減少し、また、複数レベルの金属を用いる構造に適したF

ETデバイスがもたらされた。

本発明のもう一つの利点は、ポリシリコンの上面にある金属が2重仕事関数ポリシリコン・ドーパントの相互混合を起こさせないことである。したがって、本発明により、2重仕事関数のCMOSポリシリコン・ゲート技術と両立する、面積抵抗率が低いゲート電極がもたらされる。

4. 図面の簡単な説明

第1図ないし第6図は、本発明の一連の工程を施される半導体基板の断面図である。

1・・・基板、10・・・絶縁層、15・・・拡散領域、20・・・誘電体層、30・・・ポリシリコン、40・・・酸化シリコン、50・・・フォトマスク、60・・・側壁スペーサ、70・・・ソース領域、70A、80A・・・酸化シリコン電極、80・・・ドレイン領域、90・・・共形層、100・・・ゲート・スタック。

FIG.1

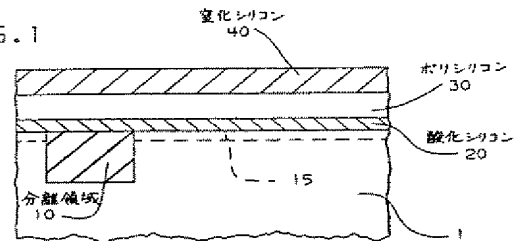


FIG.2

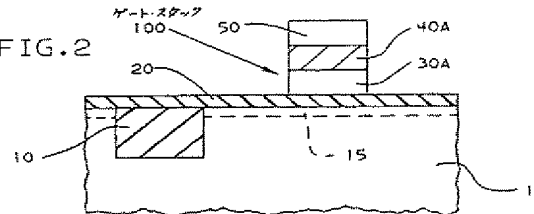


FIG.3

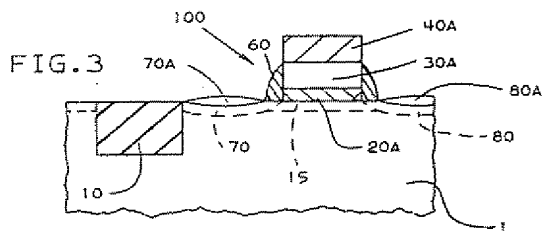


FIG.5

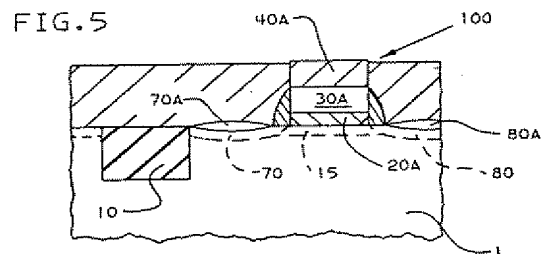


FIG.6

